

МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ
НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ ТОМСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ
АНГАРСКИЙ ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ
ИНСТИТУТ ВЫЧИСЛИТЕЛЬНОЙ МАТЕМАТИКИ И МАТЕМАТИЧЕСКОЙ ГЕОФИЗИКИ СО РАН

**НОВЫЕ ИНФОРМАЦИОННЫЕ ТЕХНОЛОГИИ
В ИССЛЕДОВАНИИ
СЛОЖНЫХ СТРУКТУР**

**МАТЕРИАЛЫ
ТРИНАДЦАТОЙ МЕЖДУНАРОДНОЙ КОНФЕРЕНЦИИ
7–9 сентября 2020 г.**

Томск
Издательский Дом Томского государственного университета
2020

ПОСТРОЕНИЕ ПОСЛЕДОВАТЕЛЬНОСТИ, ДОСТАВЛЯЮЩЕЙ ТЕСТОВУЮ ПАРУ ДЛЯ РОБАСТНО ТЕСТИРУЕМОЙ НЕИСПРАВНОСТИ ЗАДЕРЖКИ ПУТИ

А.Ю. Матросова, С. В. Чернышов

Национальный исследовательский Томский государственный университет, Томск, Россия
maul1@yandex.ru, semen.cher@mail.ru

В процессе производства логических схем высокой производительности необходимо тестировать задержки, возникающие при высоких скоростях функционирования схемы и нано размерах транзисторов. Эти задержки не удастся учесть при проектировании таких схем. Одной из широко используемых на практике моделей неисправностей задержек в схеме является модель неисправности задержек путей (Path Delay Fault (PDF) model). Различают робастно тестируемые и не робастно тестируемые неисправности задержек путей, обнаруживаемые соответствующими парами тестовых наборов. Обнаружение робастно тестируемых неисправностей задержек пути позволяет точно определить путь в схеме, на котором эта неисправность проявляется. Обнаружение не робастно тестируемых неисправностей задержек пути не дает гарантии, что задержка имеет место именно на том пути, который тестируется. В связи с этим нахождение робастно тестируемых неисправностей задержек пути является предпочтительным. Действительно в этом случае можно попытаться устранить обнаруженную неисправность или даже маскировать ее проявление. Для обнаружения робастно тестируемых неисправностей задержек путей используются различные техники сканирования, основанные на обеспечении доступа к переменным, представляющим состояния схемы с памятью, через специальные регистры [1]. Следует иметь в виду, что чем выше качество тестов для неисправностей задержек путей, тем выше аппаратные затраты, связанные с соответствующей техникой сканирования. Эта тенденция делает актуальной разработку тестовых последовательностей, обнаруживающих робастно тестируемые неисправности задержек путей схемы в условиях отсутствия доступа к переменным, представляющим состояния схемы. Использование таких последовательностей не требует дополнительных аппаратных затрат.

Представляемая работа посвящена построению тестовой последовательности, обнаруживающей робастно тестируемую неисправность задержки пути в схеме с памятью. Разработан алгоритм, гарантирующий построение такой последовательности в условиях ограничения на длину установочной последовательности (из заданного начального состояния схемы). Описание поведения схемы представлено State Transition Graph (STG-графом). Алгоритм основан на использовании множества всех тестовых пар соседних булевых векторов, обнаруживающих робастно тестируемую неисправность задержки рассматриваемого пути в комбинационной составляющей [2] схемы с памятью. Это множество компактно представляется соответствующим ROBDD-графом R_{rob} . Соседство имеет место по переменной, отмечающей входную переменную рассматриваемого пути. Отметим, что троичные векторы, представляемые R_{rob} , и порождаемые ими булевы векторы содержат составляющие по входным и внутренним переменным схемы с памятью. Рассматриваются две ситуации: а) соседние булевы векторы, извлекаемые из R_{rob} , отличаются по входной переменной и б) соседние булевы векторы, извлекаемые из R_{rob} , отличаются по внутренней переменной. Отдельно отыскиваются последовательности для каждой из противоположных смен значений сигналов вдоль рассматриваемого пути. Проведены эксперименты на контрольных примерах, показавшие, что доля робастно тестируемых неисправностей задержек путей в условиях недоступности внутренних переменных, представляющих состояния схемы, существенно меньше, чем при использовании методов сканирования.

Литература

1. Agrawal V. D., Cheng R.T., Johnson D.D, and Lin T.S. Designing Circuits with Partial Scan // IEEE Design & Test of Computers. 1988. Vol. 5, № 2. P. 8–15.
2. Matrosova A.Yu., Andreeva V.V., Nikolaeva E.A. Finding Test Pairs for PDFs in Logic Circuits Based on Using Operations on ROBDDs // Russian Physics Journal. 2018. Vol. 61, № 5. P. 994–999.