МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ
РОССИЙСКОЙ ФЕДЕРАЦИИ
ТОМСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ

МАТЕРИАЛЫ

Первой Всероссийской молодежной научной конференции

«МАТЕМАТИЧЕСКОЕ И ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ ИНФОРМАЦИОННЫХ, ТЕХНИЧЕСКИХ И ЭКОНОМИЧЕСКИХ СИСТЕМ»

Томск, 17–18 мая 2013 г.

Под общей редакцией
кандидата технических наук И.С. Шмырина

Томск
Издательский Дом Томского государственного университета
2013

ЛИТЕРАТУРА

1. *Armstrong D. B.* On Finding a Nearly Minimal Set of Fault Detection Tests for Combinational Logic Nets / D.B. Armstrong // IEEE Transactions on Electronic Computers. 1966. Vol. 15, № 1. P. 66.

2. *R.Ubar* Multi-Valued Simulation of Digital Circuits with Structurally Synthesized Binary Decision Diagrams.OPA (Overseas Publishers Assotiation) N.V. Gordon and Breach Publishers, Multiple Valued Logic, Vol. 4. P. 141–157.

СИНТЕЗ ПОСЛЕДОВАТЕЛЬНОСТНЫХ СХЕМ С ИСПОЛЬЗОВАНИЕМ РАВНОВЕСНОГО КОДИРОВАНИЯ СОСТОЯНИЙ

Е. В. Митрофанов

Томский государственный университет
E-mail: Qvaz@ya.ru

Задача синтеза схем, позволяющих производить их качественное тестирование, является актуальной. В работе предлагается новый метод синтеза последовательностных схем, контролепригодных (100% тестируемых) относительно неисправностей задержек путей. Метод основан на использовании смешанного графового и аналитического описания поведения схемы.

Рассматривается синхронный автомат, представленный STG (State Transition Graph) описанием. Символы его внутреннего алфавита кодируются равновесными кодами. Благодаря такому выбору кодирования существует возможность сокращения ранга конъюнкций, представляющих внутренние состояния. Это достигается путем замены в кодах (булевых векторах) всех вхождений '0' на '–'. Считается, что на этапе тестирования наблюдаются как выходы, так и линии обратных связей сопоставляемой автомату последовательностной схемы.

Проиллюстрируем метод синтеза на примере. Используем следующее STG-описание автомата:

x_1	x_2	x_3	q	q	y_1	y_2	y_3	y_4	y_5
0	-	1	1	1	1	0	0	1	0
1	0	-	1	1	0	0	0	1	0
1	1	1	1	2	1	0	0	1	0
-	1	0	2	2	1	0	1	1	0
0	-	1	2	3	1	0	1	1	0
1	0	1	3	3	1	1	0	0	0
0	-	0	3	4	0	1	0	0	0
-	1	1	3	4	1	1	0	0	0
1	-	0	4	4	0	1	0	0	1
-	1	1	4	1	1	1	0	0	1

Кодируем состояния автомата, применяя (2,4) код. Заменяем нулевые значения внутренних переменных символом '–'. В результате получим:

x_1	x_2	x_3	z_1	z_2	z_3	z_4	z_1	z_2	z_3	z_4	y_1	y_2	y_3	y_4	y_5
0	-	1	1	1	-	-	1	1	0	0	1	0	0	1	0
1	0	-	1	1	-	-	1	1	0	0	0	0	0	1	0
1	1	1	1	1	-	-	0	1	1	0	1	0	0	1	0
-	1	0	-	1	1	-	0	1	1	0	1	0	1	1	0
0	-	1	-	1	1	-	0	0	1	1	1	0	1	1	0
1	0	1	-	-	1	1	0	0	1	1	1	1	0	0	0
0	-	0	-	-	1	1	1	0	0	1	0	1	0	0	0
-	1	1	-	-	1	1	1	0	0	1	1	1	0	0	0
1	-	0	1	-	-	1	1	0	0	1	0	1	0	0	1
-	1	1	1	-	-	1	1	1	0	0	1	1	0	0	1

Рассмотрим ДНФ функции y_1. Сгруппируем конъюнкции, соответствующие одинаковым состояниям, вынесем за скобки внутренние переменные.

$$y_1 = z_1 z_2 (\overline{x}_1 x_3 \vee x_1 x_2 x_3) \vee z_2 z_3 (x_2 \overline{x}_3 \vee \overline{x}_1 x_3) \vee z_3 z_4 (x_1 \overline{x}_2 x_3 \vee x_2 x_3) \vee z_1 z_4 (x_2 x_3)$$

Синтез подсхем, реализующих выражения в скобках (зависящих лишь от внешних входов), осуществляется методом покрытия специальными схемами из вентилей соответствующих ROBDD-графов, обеспечивающим контролепригодность подсхем [1]. Имеем следующее ДНФ для различных состояний:

q	
1	$\overline{x}_1 x_3 \vee x_1 x_2 x_3$
2	$x_2 \overline{x}_3 \vee \overline{x}_1 x_3$
3	$x_1 \overline{x}_2 x_3 \vee x_2 x_3$
4	$x_2 x_3$

Для этой системы ДНФ строится Shared BDD граф (рис. 1).

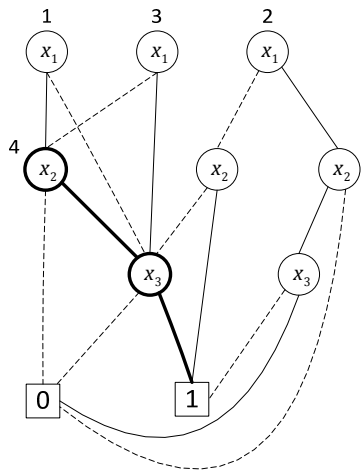

Рис. 1. Shared BDD граф

Покрываем граф подсхемами, представленными на рис. 2, и получаем схему (рис. 3).

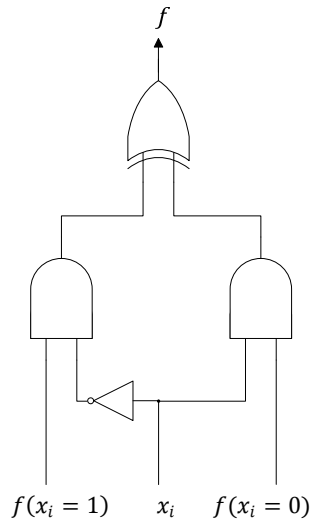

Рис. 2. Подсхема покрытия вершин Shared BDD графа

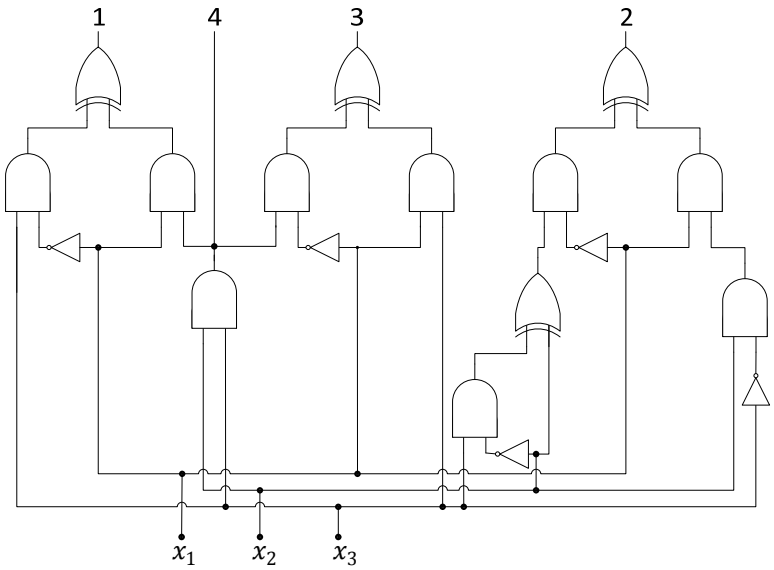

Рис. 3. Схема, реализующая граф

Подсхемы для внутренних переменных строим из элементов И. Соединяем выходы подсхем со схемой рис. 3 и получаем общую схему (рис. 4).

Показано, что для такой схемы возможно построение тестов, обнаруживающих задержки на всех путях схемы. Контролепригодность обеспечивается за счет использования при покрытии вершин Shared BDD-графа подсхемы рис. 2 [1], а также в силу монотонности конъюнкций, представляющих состояния автомата.

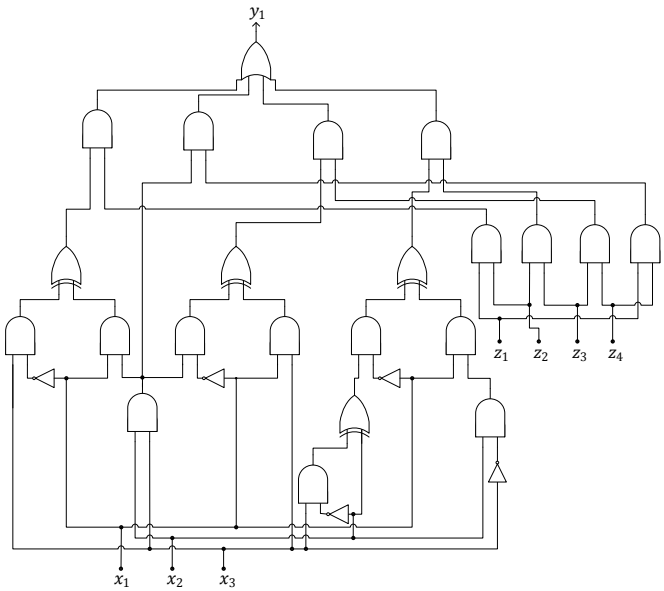

Рис. 4. Схема для функции $y1$

Для путей одновыходной подсхемы последовательностной схемы, начала которых отмечаются входными переменными схемы, тестовая пара получается конкатенацией двух векторов. Первый (троичный) вектор в пространстве входных переменных последовательностной схемы задает тестовую пару для рассматриваемого пути в подсхеме, полученной по ROBDD-графу. Второй (булев) вектор обращает в единицу соответствующую этому графу конъюнкцию монотонной ДНФ и в ноль остальные ее конъюнкции. Для путей этой же подсхемы, начала которых отмечаются внутренними переменными последовательностной схемы, тестовая пара есть также конкатенация двух векторов. Первый (булев) вектор в пространстве входных переменных последовательностной схемы обращает в единицу ROBDD-граф, соответствующий конъюнкции, которой принадлежит переменная, отмечающая начало рассматриваемого пути. Второй (троичный) вектор в пространстве внутренних переменных представляет тестовую пару для пути в подсхеме, реализующей конъюнкции монотонной ДНФ. Для обеспечения обнаружения неисправностей задержек всех путей последовательностной схемы требуется соблюдать порядок [1] при поступлении тестовых пар для путей, начала которых отмечены входными переменными. Тестовые пары для путей, начала которых отмечены внутренними переменными, подаются в произвольном порядке.

Итак, предложен метод синтеза контролепригодных последовательностных схем, не имеющих слишком длинных путей. Разработаны алгоритмы построения тестовых пар, обнаруживающих задержки на путях схемы.

ЛИТЕРАТУРА

1. *Матросова А. Ю., Николаева Е. А., Румянцева Е. В.* Синтез логических схем, контролепригодных относительно неисправностей задержек путей //Известия высших учебных заведений. Физика. 2012. Т. 55, № 11. С. 114–116.